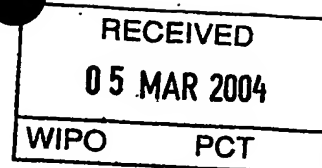


PCT

国際予備審査報告

(法第12条、法施行規則第56条)
[PCT36条及びPCT規則70]

出願人又は代理人 の書類記号 DP-964PCT	今後の手続きについては、国際予備審査報告の送付通知(様式PCT/ IPEA/416)を参照すること。	
国際出願番号 PCT/JPO3/13931	国際出願日 (日.月.年) 30.10.03	優先日 (日.月.年) 31.10.02
国際特許分類(IPC) Int Cl ⁷ H03K 19/0185		
出願人(氏名又は名称) 日本電気株式会社		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条(PCT36条)の規定に従い送付する。

2. この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。

- ☒ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。
(PCT規則70.16及びPCT実施細則第607号参照)
この附属書類は、全部で 15 ページである。

3. この国際予備審査報告は、次の内容を含む。

- I ☒ 国際予備審査報告の基礎
- II ☐ 優先権
- III ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
- IV ☐ 発明の単一性の欠如
- V ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- VI ☐ ある種の引用文献
- VII ☐ 国際出願の不備
- VIII ☐ 国際出願に対する意見

国際予備審査の請求書を受理した日 30.10.2003	国際予備審査報告を作成した日 19.02.2004		
名称及びあて先 日本国特許庁(IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 彦田 克文	5X	9182
電話番号 03-3581-1101 内線 3556			

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に
応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
PCT規則70.16, 70.17)

☐ 出願時の国際出願書類

☒ 明細書 第 1, 5-38 ページ、 出願時に提出されたもの
明細書 第 ページ、 国際予備審査の請求書と共に提出されたもの
明細書 第 2-4 ページ、 09.02.2004 付の書簡と共に提出されたもの

☒ 請求の範囲 第 3, 6-8, 19-47, 52-55, 61-63, 65, 66 項、 出願時に提出されたもの
請求の範囲 第 項、 PCT19条の規定に基づき補正されたもの
請求の範囲 第 項、 国際予備審査の請求書と共に提出されたもの
請求の範囲 第 1, 2, 5, 10-17, 48-50, 56-60 項、 09.02.2004 付の書簡と共に提出されたもの

☒ 図面 第 1-85 ページ/図、 出願時に提出されたもの
図面 第 ページ/図、 国際予備審査の請求書と共に提出されたもの
図面 第 ページ/図、 付の書簡と共に提出されたもの

☐ 明細書の配列表の部分 第 ページ、 出願時に提出されたもの
明細書の配列表の部分 第 ページ、 国際予備審査の請求書と共に提出されたもの
明細書の配列表の部分 第 ページ、 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
☐ PCT規則48.3(b)にいう国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出された磁気ディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された磁気ディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列と磁気ディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

☐ 明細書 第 _____ ページ
☒ 請求の範囲 第 4, 9, 18, 51, 64 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならない、本報告に添付する。)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性(N)	請求の範囲	1-66	有
	請求の範囲		無
進歩性(IS)	請求の範囲	1-66	有
	請求の範囲		無
産業上の利用可能性(IA)	請求の範囲	1-66	有
	請求の範囲		無

2. 文献及び説明(PCT規則70.7)

文献1: J P 10-84274 A (松下電器産業株式会社) 1998. 03. 31 (ファミリーなし)
文献2: J P 2001-68991 A (日本電気アイシーマイコンシステム株式会社) 2001. 03. 16 (ファミリーなし)
文献3: J P 11-239051 A (日本電気株式会社) 1999. 08. 31 & US 6094083 A
文献4: J P 2000-349618 A (松下電子工業株式会社) 2000. 12. 15 (ファミリーなし)
文献5: J P 11-205140 A (三菱電機株式会社) 1999. 07. 30 & US 6091351 A
文献6: J P 11-195975 A (株式会社日立製作所) 1999. 07. 21 & US 6249145 B1
文献7: J P 11-261401 A (シャープ株式会社) 1999. 09. 24 & US 6002290 A
文献8: J P 9-74348 A (セイコーエプソン株式会社) 1997. 03. 18 (ファミリーなし)
文献9: J P 2000-124792 A (新日本無線株式会社) 2000. 04. 28 (ファミリーなし)
文献10: J P 7-264047 A (富士通株式会社) 1995. 10. 13 (ファミリーなし)

請求項1-66に係る発明は、上記のいずれの文献にも記載されておらず、当業者にとって自明なものでもない。

この場合、第2の電源と GND 電源間に導通パスができるため、貫通電流が流れるという問題がある。

また、第1の電源がオンして、入力信号が保持状態に反転している場合には、電源レベルが所定のレベルに上がり、レベル変換出力が切り換わるまで、貫通電流が流れるという問題がある。

さらに、追加した n-MOS はレベル変換回路の p-MOS クロスカップルラッチの状態保持機能を補強する役割を果たす。このため、レベル変換遅延が増加し、特に、第1の電源と第2の電源の電位差が大きくなった場合には、レベル変換動作マージンが無くなり、レベル変換動作ができなくなる。すなわち、入力信号が変化しても所望する出力が変化できなくなるという問題点もある。

本発明の目的は第1の電源を制御しても貫通電流の発生を抑制可能でレベル変換動作時の遅延増加も抑制可能な機能を有したレベル変換回路を提供することにある。

発明の開示

本発明のレベル変換回路の発明は、レベル変換コア回路のレベル変換出力に前記第2の電源が供給されるプルアップおよび／またはプルダウン回路と、レベル変換コア回路の GND 電源端子（接地電源端子）と、GND 電源（接地電源）との間に前記第1の電源の制御に応じて制御信号を生成する第3の論理回路により制御されるスイッチ回路とを有し、前記第3の論理回路は、前記プルアップおよび／またはプルダウン回路と、前記スイッチ回路とを制御する制御信号を出力するレベル変換回路の一群の発明である。本発明は、レベル変換コア回路の電源端子と第2の電源との間に第1の電源の制御に応じて制御信号を生成する第3の論理回路により制御されるスイッチ回路を配置し、前記レベル変換コア回路の出力に前記第3の論理回路により制御されるプルアップおよび／またはプルダウン回路を設け、前記第3の論理回路は、前記プルアップおよび／またはプルダウン回路と、前記レベル変換コア回路とを制御する制御信号を出力することもできる。

前記レベル変換コア回路は、2以上の p-MOS からなる p-MOS クロスカップルラッチと、2以上の n-MOS からなる差動 n-MOS とからなり、前記 p-MOS は、

前記第 2 の電源端子にソース端子が、ゲート端子に各ドレイン端子であるレベル変換出力が接続され、前記 n-MOS は、クロスカップルラッチと前記 GND 電源端子とに各ソース端子が、前記レベル変換出力に前記各ドレイン端子が、レベル変換入力に各ゲート端子が、各々接続されたことが好ましい。

また本発明は、レベル変換コア回路のレベル変換出力に前記第 2 の電源が供給されるプルアップおよび／またはプルダウン回路と、レベル変換コア回路の電源端子と第 2 の電源の間に配置され第 1 の電源の制御に応じて制御信号を生成する第 3 の論理回路により制御されるスイッチ回路とを有し、前記制御回路を前記第 3 の論理回路からの制御信号により制御することもできる。

また本発明は、レベル変換コア回路のレベル変換出力に前記第 2 の電源が供給されるプルアップおよび／またはプルダウン回路と、前記第 2 の電源が供給されレベル変換入力信号と前記レベル変換出力信号を入力とする制御回路と、レベル変換コア回路の電源端子と第 2 の電源の間に配置され第 1 の電源の制御に応じて制御信号を生成する第 3 の論理回路により制御されるスイッチ回路とを有し、前記制御回路を前記第 3 の論理回路からの制御信号により制御する構成とすることもできる。

図面の簡単な説明

図 1 は、従来のレベル変換回路の例を示す回路図である。

図 2 は、従来のレベル変換回路の例を示す回路図である。

図 3 は、従来のレベル変換回路の例を示す回路図である。

図 4 は、本発明のレベル変換回路の第 1 の実施の形態における構成例を示す図である。

図 5 は、第 1 の実施形態などに使用されるレベル変換コア回路の例を示す回路図である。

図 6 は、第 1 の実施形態などに使用されるレベル変換コア回路の他の例を示す回路図である。

図 7 は、第 1 の実施形態などに使用されるスイッチ回路の例を示す回路図である。

図8は、第1の実施形態などに使用されるプルアップ／プルダウン回路の例を示す回路図である。

図9は、本発明のレベル変換コア回路部分の動作例を示すタイミングチャートである。

請求の範囲

1. (補正後) 第1の電源が供給される第1の論理回路の信号レベルを、第2の電源が供給される第2の論理回路の信号レベルに変換するレベル変換回路において、

レベル変換コア回路のレベル変換出力に前記第2の電源が供給されるプルアップおよび／またはプルダウン回路と、レベル変換コア回路のGND電源端子(接地電源端子)と、GND電源(接地電源)との間に前記第1の電源の制御に応じて制御信号を生成する第3の論理回路により制御されるスイッチ回路とを有し、

前記第3の論理回路は、前記プルアップおよび／またはプルダウン回路と、前記スイッチ回路とを制御する制御信号を出力し、

前記レベル変換コア回路は、2以上の第1のp-MOSからなるp-MOSクロスカップルラッチと、2以上のn-MOSからなる差動n-MOSと、第2の2以上のp-MOSと、からなり、

前記p-MOSクロスカップルラッチは、前記第2の電源にソース端子が、ゲート端子に第2のp-MOSの各ドレイン端子であるレベル変換出力が、それぞれ接続され、

前記差動n-MOSは、前記GND電源に各ソース端子が、前記レベル変換出力に各ドレイン端子が、レベル変換入力に各ゲート端子が、各々接続され、

前記第2のp-MOSは、前記第1のp-MOSの各ソース端子が、前記レベル変換入力に各ゲート端子が、前記レベル変換出力に各ドレイン端子が、各々接続されたことを特徴とするレベル変換回路。

2. (補正後) 第1の電源が供給される第1の論理回路の信号レベルを、第2の電源が供給される第2の論理回路の信号レベルに変換するレベル変換回路において、

レベル変換コア回路の電源端子と第2の電源との間に第1の電源の制御に応じて制御信号を生成する第3の論理回路により制御されるスイッチ回路を配置し、前記レベル変換コア回路の出力に前記第3の論理回路により制御されるプルアップおよび／またはプルダウン回路を設け、

前記第3の論理回路は、前記プルアップおよび／またはプルダウン回路と、前記レベル変換コア回路とを制御する制御信号を出力することを特徴とするレベル変換回路。

3. 前記レベル変換コア回路は、2以上のp-MOS からなるp-MOS クロスカップルラッチと、2以上のn-MOS からなる差動n-MOS とからなり、前記p-MOS は、前記第2の電源端子にソース端子が、ゲート端子に各ドレイン端子であるレベル変換出力が接続され、前記n-MOS は、クロスカップルラッチと前記GND 電源端子とに各ソース端子が、前記レベル変換出力に前記各ドレイン端子が、レベル変換入力に各ゲート端子が、各々接続されたことを特徴とする請求項1または2に記載のレベル変換回路。

4. (削除)

5. (補正後) 第1の電源が供給される第1の論理回路の信号レベルを第2の電源が供給される第2の論理回路の信号レベルに変換するレベル変換回路において、

レベル変換コア回路のレベル変換出力に前記第2の電源が供給されるプルアップおよび／またはプルダウン回路と、レベル変換コア回路の電源端子と第2の電源の間に配置され第1の電源の制御に応じて制御信号を生成する第3の論理回路により制御されるスイッチ回路とを有し、前記制御回路を前記第3の論理回路からの制御信号により制御することを特徴とするレベル変換回路。

6. 第1の電源が供給される第1の論理回路の信号レベルを第2の電源が供給される第2の論理回路の信号レベルに変換するレベル変換回路において、レベル変換コア回路のレベル変換出力に前記第2の電源が供給されるプルアップおよび／またはプルダウン回路と、前記第2の電源が供給されレベル変換入力信号と前記レベル変換出力信号を入力とする制御回路と、レベル変換コア回路の電源端子と第2の電源の間に配置され第1の電源の制御に応じて制御信号を生成する第3の論理回路により制御されるスイッチ回路とを有し、前記制御回路を前記第3の論理回路からの制御信号により制御することを特徴とするレベル変換回路。

7. 前記第3の論理回路は、前記制御回路を前記第3の論理回路からの制御信号により制御し、前記制御回路は、前記プルアップおよび／またはプルダウ

ン回路と、前記レベル変換コア回路とを制御する制御信号を出力することを特徴とするレベル変換回路。

8. さらに前記制御回路は、

前記プルアップおよび／またはプルダウン回路を制御する制御信号を出力して前記プルアップおよび／またはプルダウン回路を制御することを特徴とする請求項7に記載のレベル変換回路。

9. (削除)

10 (補正後). 前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、制御信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続された p-MOS と、GND 電源にソースが、制御信号の反転信号にゲート端子が、前記レベル変換出力他方にドレイン端子が、各々接続された n-MOS とを用いることを特徴とする請求項8に記載のレベル変換回路。

11 (補正後). 前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS の各ドレイン端子が接続される2以上の p-MOS と、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される2以上の n-MOS からなり、前記第2の電源にソース端子が、前記第3の論理回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS のドレイン端子が接続される2以上の p-MOS を付加していることを特徴とする請求項7記載のレベル変換回路。

12 (補正後). 前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS の各ドレイン端子が接続される2以上の p-MOS と、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される2以上の n-MOS からなり、前記第2の電源にソース端子が、前記第3の論理回路からの制御信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続される p-MOS を付加していることを特徴とする請求項7記載のレベル変換回路。

1 3 (補正後). 前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に各ドレイン端子が接続される2以上のp-MOS と、前記GND電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される2以上のn-MOS からなり、前記第2の電源にソース端子が、前記第3の論理回路からの制御信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続されるp-MOS と、前記GND電源にソース端子が、前記第3の論理回路からの制御信号またはその反転信号にゲート端子が、前記レベル変換出力の他方にドレイン端子が接続されるn-MOS とが付加されていることを特徴とする請求項7記載のレベル変換回路。

1 4 (補正後). 前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他のp-MOS のドレイン端子が接続される2以上のp-MOS と、前記GND電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される2以上のn-MOS からなり、前記GND電源にソース端子が、前記第3の論理回路からの制御信号またはその反転信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続されるn-MOS とが付加されていることを特徴とする請求項7記載のレベル変換回路。

1 5 (補正後). 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力を入力とするNAND回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とするNAND回路からなり、前記NAND回路の出力信号を制御信号として出力していることを特徴とする請求項7記載のレベル変換回路。

1 6 (補正後). 前記NAND回路は、CMOS回路構成であり、前記レベル変換入力信号が接続されるp-MOS トランジスタは、少なくともチャネル幅／チャネル長の比が小さいかまたは閾値が高いトランジスタからなっていることを

42/1

特徴とする請求項 15 記載のレベル変換回路。

17 (補正後). 前記 NAND 回路は、CMOS 回路構成であり、前記第 3 の論理回路の制御信号出力が接続される n-MOS のソース端子が GND 電源に接続されることを特徴とする請求項 15 記載のレベル変換回路。

18 (削除)

19. さらに前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS のドレイン端子が接続される2以上の p-MOS からなり、前記第2の電源にソース端子が、前記第3の論理回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS のドレイン端子が接続される2以上の p-MOS を付加されることを特徴とする請求項15記載のレベル変換回路。

20. さらに前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号にそれぞれのゲート端子が、前記レベル変換出力それぞれにそれぞれのドレイン端子が接続される2以上の p-MOS からなり、前記第2の電源にソース端子が、前記第3の論理回路からの制御信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続される p-MOS が付加されることを特徴とする請求項15記載のレベル変換回路。

21. 前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号にそれぞれのゲート端子が、前記レベル変換出力それぞれにそれぞれのドレイン端子が接続される2以上の p-MOS からなり、前記第2の電源にソース端子が、前記第3の論理回路からの制御信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続される p-MOS と、

前記 GND 電源にソース端子が、前記第3の論理回路からの制御信号またはその反転にゲート端子が、前記レベル変換出力のもう一方にドレイン端子が接続される n-MOS とが付加されることを特徴とする請求項15記載のレベル変換回路。

22. 前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号にそれぞれのゲート端子が、前記レベル変換出力それぞれにそれぞれのドレイン端子が接続される2以上の

号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とする OR-NAND 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力を入力とする OR-NAND 回路と、前記第2の電源が供給され前記各 OR-NAND 回路出力を入力とするインバータ2以上からなり、前記インバータの各出力信号を制御信号として出力していることを特徴とする請求項36記載のレベル変換回路。

46. 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第2の電源が供給され前記各 AND-NOR 回路出力を入力とする2以上のインバータからなり、前記インバータの各出力信号を制御信号として出力していることを特徴とする請求項38記載のレベル変換回路。

47. 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とする OR-NAND 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力を入力とする OR-NAND 回路と、前記 OR-NAND 回路の各出力信号を制御信号として出力していることを特徴とする請求項38記載のレベル変換回路。

48. (補正後) 前記レベル変換コア回路は、前記第2の電源に各ソース端子が、前記各レベル変換出力に他の p-MOS のゲート端子が接続された2以上の前記 p-MOS からなる p-MOS クロスカップルラッチと、前記 p-MOS のドレイン端子に各ソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続された2以上の p-MOS スイッチと、GND 電源に各ソース端子が、前記各レベル変換出力にドレイン端子が、レベル変換入力に各々のゲート端子が接続された2以上の n-MOS からなる差動

n-MOS スイッチとなっていることを特徴とする請求項 4 7 に記載のレベル変換回路。

49. (補正後) 前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力を入力とする第 1 の NAND 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする第 2 の NAND 回路と、前記第 2 の電源が供給され前記各 NAND 回路出力を入力とする 2 以上のインバータからなり、前記第 1 及び第 2 の NAND 回路と前記 2 以上のインバータの各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記インバータの各出力信号を前記レベル変換コア回路の制御信号として出力していることを特徴とする請求項 11～14、19～22 または 24～27 のいずれか 1 項記載のレベル変換回路。

50. (補正後) 前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする NOR 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする NOR 回路と、前記第 2 の電源が供給され前記各 NOR 回路出力を入力とするインバータ 2 以上からなり、前記 NOR 回路と前記インバータの各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記 NOR 回路の各出力信号を前記レベル変換コア回路制御信号として出力していることを特徴とする請求項 11～14、19～22 または 24～27 のいずれか 1 項に記載のレベル変換回路。

51. (削除)

52. 前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第 2 の電源が供

供給され前記第1及び第2の各 OR-NAND 回路出力を入力とする2以上のインバータからなり、前記2以上のインバータの各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記 OR-NAND 回路の各出力信号を前記レベル変換コア回路制御信号として出力しており、

前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS のドレイン端子が接続される2以上の p-MOS からなることを特徴とする請求項8記載のレベル変換回路。

56. (補正後) 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第2の電源が供給され前記各 AND-NOR 回路出力を入力とするインバータ2以上からなり、前記インバータの各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記インバータの各出力信号を前記レベル変換コア回路の制御信号として出力しており、

前記プルアップおよび／またはプルダウン回路は、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される2以上の n-MOS からなることを特徴とする請求項5～8のいずれか1項に記載のレベル変換回路。

57. (補正後) 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とする第1の OR-NAND 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力を入力とする第2の OR-NAND 回路からなり、前記第1及び第2の OR-NAND 回路の各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記 OR-NAND 回路の各出力信号を前記レベル変換コア回路制御信号として出力しており、

前記プルアップおよび／またはプルダウン回路は、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上の n-MOS からなることを特徴とする請求項 5～8 のいずれか 1 項に記載のレベル変換回路。

58. (補正後) 前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第 2 の電源が供給され前記各 AND-NOR 回路出力を入力とするインバータ 2 以上からなり、前記インバータの各出力信号を前記レベル変換コア回路の制御信号として出力していることを特徴とする請求項 5～8 のいずれか 1 項に記載のレベル変換回路。

59. (補正後) 前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする OR-NAND 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力を入力とする OR-NAND 回路からなり、前記 OR-NAND 回路の各出力信号を前記レベル変換コア回路制御信号として出力していることを特徴とする請求項 4～7 または 9～11 のいずれか 1 項に記載のレベル変換回路。

60. (補正後) 前記レベル変換コア回路は、2 以上の第 1 の p-MOS からなる p-MOS クロスカップルラッチと、2 以上の n-MOS からなる差動 n-MOS と、第 2 の 2 以上の p-MOS と、からなり、

前記 p-MOS クロスカップルラッチは、前記第 2 の電源にソース端子が、ゲート端子に第 2 の p-MOS の各ドレイン端子であるレベル変換出力が、それぞれ接続され、

前記差動 n-MOS は、前記 GND 電源に各ソース端子が、前記レベル変換出力に各ドレイン端子が、レベル変換入力に各ゲート端子が、各々接続され、

前記第 2 の p-MOS は、前記第 1 の p-MOS の各ソース端子が、前記レベル変

換入力に各ゲート端子が、前記レベル変換出力に各ドレイン端子が、各々接続されたことを特徴とする請求項2、3、8、58または59のいずれか1項に記載のレベル変換回路。

61. 第1の電源が供給される第1の論理回路の信号レベルを第2の電源が供給される第2の論理回路の信号レベルに変換するレベル変換回路において、

レベル変換コア回路のレベル変換出力にプルダウン回路と、前記第2の電源が供給されレベル変換入力信号と前記レベル変換出力信号を入力としプルダウン回路とレベル変換コア回路への制御信号を出力する制御回路とを有し、前記制御回路も前記第3の論理回路からの制御信号を接続したことを特徴とするレベル変換回路。

62. 前記制御回路は、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とする第1の OR-NAND 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力を入力とする第2の OR-NAND 回路からなり、前記第1及び第2の OR-NAND 回路の各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記 OR-NAND 回路の各出力信号を前記レベル変換コア回路制御信号として出力しており、

前記プルダウン回路は、前記プルアップおよび／またはプルダウン回路は、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される2以上の n-MOS からなることを特徴とする請求項61記載のレベル変換回路。

63. 前記制御回路は、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とする第1の OR-NAND 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力を入力とする第2の OR-NAND 回路からなり、前記第1及び第2の OR-NAND 回路の各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記 OR-NAND 回路の各出力信号を

前記レベル変換コア回路制御信号として出力しており、

前記プルダウン回路は、前記プルアップおよび／またはプルダウン回路は、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上の n-MOS からなることを特徴とする請求項 61 記載のレベル変換回路。

64. (削除)

65. 前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする 2 以上の NOR 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする NOR 回路とからなり、前記 NOR 回路の各出力信号を前記レベル変換コア回路制御信号として出力していることを特徴とする請求項 3、5、6 または 61 のいずれか 1 項に記載のレベル変換回路。

66. 前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力を入力とする 2 以上の NAND 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする NAND 回路と、前記第 2 の電源が供給され前記各 NAND 回路出力を入力とするインバータ 2 以上からなり、前記インバータの各出力信号を前記レベル変換コア回路の制御信号として出力していることを特徴とする請求項 3、11、12 または 61 のいずれか 1 項に記載のレベル変換回路。

Translation

PATENT COOPERATION TREATY

PCT/JP2003/013931



PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference DP-964PCT	FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP2003/013931	International filing date (<i>day/month/year</i>) 30 October 2003 (30.10.2003)	Priority date (<i>day/month/year</i>) 31 October 2002 (31.10.2002)
International Patent Classification (IPC) or national classification and IPC H03K 19/0185		
Applicant NEC CORPORATION		

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.

2. This REPORT consists of a total of 3 sheets, including this cover sheet.

☒ This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).

These annexes consist of a total of 15 sheets.

3. This report contains indications relating to the following items:

- I ☒ Basis of the report
- II ☐ Priority
- III ☐ Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- IV ☐ Lack of unity of invention
- V ☒ Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- VI ☐ Certain documents cited
- VII ☐ Certain defects in the international application
- VIII ☐ Certain observations on the international application

Date of submission of the demand 30 October 2003 (30.10.2003)	Date of completion of this report 19 February 2004 (19.02.2004)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International Application No.

PCT/JP2003/013931

I. Basis of the report

1. With regard to the elements of the international application:*

- ☐ the international application as originally filed
- ☒ the description:
pages _____, 1, 5-38 _____, as originally filed
pages _____, filed with the demand
pages _____ 2-4 _____, filed with the letter of _____ 09 February 2004 (09.02.2004)
- ☒ the claims:
pages _____ 3, 6-8, 19-47, 52-55, 61-63, 65, 66 _____, as originally filed
pages _____, as amended (together with any statement under Article 19
pages _____, filed with the demand
pages _____ 1, 2, 5, 10-17, 48-50, 56-60 _____, filed with the letter of _____ 09 February 2004 (09.02.2004)
- ☒ the drawings:
pages _____ 1-85 _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____
- ☐ the sequence listing part of the description:
pages _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____

2. With regard to the language, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language _____ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. ☒ The amendments have resulted in the cancellation of:

- ☐ the description, pages _____
- ☒ the claims, Nos. _____ 4, 9, 18, 51, 64 _____
- ☐ the drawings, sheets/fig _____

5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).**

* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

** Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International Application No.

PC/JP03/13931

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

1. Statement

Novelty (N)	Claims	1-66	YES
	Claims		NO
Inventive step (IS)	Claims	1-66	YES
	Claims		NO
Industrial applicability (IA)	Claims	1-66	YES
	Claims		NO

2. Citations and explanations

Document 1: JP, 10-84274, A (Matsushita Electric Industrial Co., Ltd.), 31 March, 1998 (31.03.98) (Family: none)

Document 2: JP, 2001-68991, A (NEC IC Microcomputer System Ltd.), 16 March, 2001 (16.03.01) (Family: none)

Document 3: JP, 11-239051, A (NEC Corp.), 31 August, 1999 (31.08.99), & US, 6094083, A

Document 4: JP, 2000-349618, A (Matsushita Electronics Industry Corp.), 15 December, 2000 (15.12.00) (Family: none)

Document 5: JP, 11-205140, A (Mitsubishi Electric Corp.), 30 July, 1999 (30.07.99), & US, 6091351, A

Document 6: JP, 11-195975, A (Hitachi, Ltd.), 21 July, 1999 (21.07.99), & US, 6249145, B1

Document 7: JP, 11-261401, A (Sharp Corp.), 24 September, 1999 (24.09.99), & US 6002290, A

Document 8: JP, 9-74348, A (Seiko Epson Corp.), 18 March, 1997 (18.03.97) (Family: none)

Document 9: JP, 2000-124792, A (New Japan Radio Co., Ltd.), 28 April, 2000 (28.04.00) (Family: none)

Document 10: JP, 7-264047, A (Fujitsu Ltd.), 13 October, 1995 (13.10.95) (Family: none)

The subject matters of claims 1-66 are neither described in any of the above-mentioned documents nor obvious to a person skilled in the art.